

Diseño de Circuitos Lógicos de Alta Complejidad

Práctica 1

Ejercicios

1. Diseñar e implementar esquemáticamente un registro desplazamiento (shift-register) serie-paralelo.
2. Diseñar e implementar esquemáticamente un registro desplazamiento paralelo-serie.
3. Conectar ambos registros para implementar una transmisión serial de datos.
4. Determinar la máxima frecuencia de reloj que puede aplicarse a los ejercicios anteriores considerando un tiempo de propagación de 15 nanosegundos.
5. Diseñar e implementar esquemáticamente un circuito divisor de frecuencia programable. El circuito recibe una señal periódica en una entrada y entrega una señal de salida con una frecuencia múltiplo de la de entrada. El múltiplo puede ser modificado mediante 4 señales de entrada para tal fin entre 1 (no divide) y 16.
6. Diseñar e implementar un circuito multiplicador de frecuencia. El circuito recibe una señal periódica de entrada y entrega una señal de salida con una frecuencia entre 1, 2, 4, 8 y 16 veces la de entrada. Diseñar el circuito utilizando sólo lógica digital (no PLL).
7. Determinar la máxima frecuencia de reloj que puede aplicarse a los circuitos de los ejercicios 5 y 6 considerando compuertas con tiempo de propagación de 15 nanosegundos.
8. Diseñar e implementar esquemáticamente un sumador de 4 bits. Determinar el tiempo de propagación considerando compuertas de 15 nanosegundos de tiempo de propagación. ¿Existe alternativa para disminuir el tiempo de propagación?
9. Diseñar e implementar esquemáticamente un circuito para detectar una secuencia de entrada. Determinar la máxima frecuencia si las compuertas tienen un tiempo de propagación de 15 nseg.